

⑫ 公開特許公報(A)

昭63-84320

⑬ Int.Cl.⁴

H 03 L 7/22

識別記号

庁内整理番号

7530-5J

⑭ 公開 昭和63年(1988)4月14日

審査請求 未請求 発明の数 2 (全5頁)

⑮ 発明の名称 マイクロ波帯周波数シンセサイザ

⑯ 特 願 昭61-230312

⑰ 出 願 昭61(1986)9月29日

⑱ 発 明 者 長 谷 川 誠 神奈川県川崎市多摩区東三田3丁目10番1号 松下技研株式会社内
⑱ 発 明 者 美 細 津 公 英 神奈川県川崎市多摩区東三田3丁目10番1号 松下技研株式会社内
⑱ 発 明 者 山 下 貞 彦 神奈川県川崎市多摩区東三田3丁目10番1号 松下技研株式会社内
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑳ 代 理 人 弁理士 中尾 敏男 外1名

2 ページ

明 細 書

1. 発明の名称

法
マイクロ波帯周波数シンセサイザ

2. 特許請求の範囲

- (1) 高安定度の水晶発振器を基準とした第1の位相同期ループによる基準水晶発振器と、この第1の位相同期ループからの出力を基準とする周波数可変設定の第2の位相同期ループと、前記第1の位相同期ループからの出力を基準とする第3の位相同期ループとを具備し、前記第2の位相同期ループからの信号と、前記第3の位相同期ループからの信号とを周波数混合し、その出力を3逓倍することによりマイクロ波信号を得るとともに、前記第2の周波数可変設定の周波数が880 MHzから1066 MHzの範囲内であることを特徴とするマイクロ波帯周波数シンセサイザ。
- (2) 第2の位相同期ループが、周波数可変設定位相同期ループと、前記周波数可変設定位相同期ループにおける比較周波数を固定分周した周波

数を比較周波数とする位相同期ループとから成ることを特徴とする特許請求の範囲第1項記載のマイクロ波帯周波数シンセサイザ。

- (3) 第3の位相同期ループの出力周波数が固定であることを特徴とする特許請求の範囲第1項記載のマイクロ波帯周波数シンセサイザ。
- (4) 第3の位相同期ループの周波数可変の全設定幅を第2の位相同期ループの周波数可変設定の単位幅とし、第2と第3の位相同期ループ内の各々の可変分周器の分周数を制御することにより、周波数設定を行なうことを特徴とする特許請求の範囲第1項記載のマイクロ波帯周波数シンセサイザ。
- (5) 安定度の水晶発振器を基準とした第1の位相同期ループによる基準水晶発振器と、この第1の位相同期ループからの出力を基準とする周波数可変設定の第2の位相同期ループと、前記第1の位相同期ループからの出力を基準とする第3の位相同期ループからの出力を基準とする第3の位相同期ループとを具備し、前記第2の位

相同期ループの信号を3通倍した後に、前記第3の位相同期ループからの出力とを周波数混合することによりマイクロ波信号を得るとともに、前記第2の周波数可変設定の周波数が880MHzから1066MHzの範囲以内であることを特徴とするマイクロ波帯周波数シンセサイザ。

- (6) 第3の位相同期ループの出力周波数が固定であることを特徴とする特許請求の範囲第5項記載のマイクロ波帯周波数シンセサイザ。
- (7) 第2の位相同期ループが、周波数可変設定位相同期ループと、前記の周波数可変設定位相同期ループにおける比較周波数を固定分周した周波数を比較周波数とする位相同期ループとから成ることを特徴とする特許請求の範囲第5項記載のマイクロ波帯周波数シンセサイザ。
- (8) 第3の位相同期ループの周波数可変の全設定幅を第2の位相同期ループの周波数可変設定の単位幅とし、第2と第3の位相同期ループ内の各々の可変分周器の分周数を制御することにより、周波数設定を行なうことを特徴とする特許

請求の範囲第5項記載のマイクロ波帯周波数シンセサイザ。

3. 発明の詳細な説明

産業上の利用分野

本発明は、例えば衛星通信における送信機、あるいは受信機に用いられる局部発振器としてのマイクロ波帯周波数シンセサイザに関するものである。

従来の技術

最近、低位相雑音のマイクロ波帯周波数シンセサイザは、衛星通信などの分野で盛んに利用されるようになってきた。このマイクロ波帯周波数シンセサイザは、例えば、周波数可変設定位相同期ループが、3つの位相同期ループから成る構成が知られている。以下、第4図を参照して従来の低位相雑音のマイクロ波帯周波数シンセサイザについて説明する。

第4図において、11は基準水晶発振位相同期ループ、12は周波数微設定位相同期ループ、13は周波数粗設定位相同期ループ、14は各位

相同期ループ12、13の加算を高い比較周波数で行なう位相同期ループ、15は固定周波數位相同期ループ、16は各位相同期ループ14、15の出力信号を混合加算する混合器、17はマイクロ波帯周波数シンセサイザの出力周波数を得るための通倍器、18、19はそれぞれ固定分周器、20は片側波帯変調器である。

以上のような構成において、以下その動作について説明する。

まず、基準水晶発振位相同期ループ11からの出力を利用し、それを基準としてそれぞれの比較周波数を例えば1.25MHzと比較的高くして、リフレンスの漏洩を小さく、また自然周波数 ω_n を高く選べるように構成し、耐マイクロフエニク雑音特性と位相雑音特性の向上をはかった、周波数微設定位相同期ループ12および周波数粗設定位相同期ループ13を設ける。周波数微設定位相同期ループ13からの出力を、固定分周器18によって例えば40分周し、1.25MHzの40分の1のステップと、周波数粗設定位相同期ル

ープ13の1.25MHzステップを片側波帯変調器20で合成して固定分周器19で4分周する。一方加算位相同期ループ14内の発振器も4分周して、上記固定分周器19の出力と比較して位相同期をかけ、混合器16によって、固定周波數位相同期ループ15と混合加算し、通倍器17によって8通倍を行なう場合、周波数ステップとしては、

$$1.25 \times 1/40 \times 1/1/4 \times 8 = 1.0$$

1MHzステップとなる。

以上のようにして、周波数粗設定および微設定および微設定それぞれの位相同期ループの比較周波数は高くし、自然周波数 ω_n を高く選べるようにして、可変周波数の位相同期ループを構成している。

発明が解決しようとする問題点

しかし以上のような構成では、異なる可変周波数の位相同期ループが3つあり、そこに使用する電圧制御発振器(VCO)も3種類必要であり、またスプリアス特性の確保に困難が伴うという問題があった。

本発明は、従来技術の以上のような問題点を解決するもので、簡単な構成で、周波数可変設定位相同期ループの周波数関係および通倍数を選ぶことにより、スプリアス特性の確保が容易で低位相雑音のマイクロ波帯周波数シンセサイザを得ることを目的とするものである。

問題点を解決するための手段

本発明は、マイクロ波帯の周波数シンセサイザの信号出力を、固定周波數位相同期ループと、880 MHz 以上 1066 MHz 以下の範囲にある周波数可変設定位相同期ループの出力とから、混合加算および3通倍を行なって得ることにより、上記目的を達成するものである。

作 用

本発明はマイクロ波帯で1 MHz ステップで500 MHz の周波数範囲をカバーするために、通倍数 N を3に選んだが、通倍数をこれ以上大きくすると、比較周波数がステップの1 MHz の $1/N$ 倍となるので低くなり、自然周波数 ω_n が高くなり、また通倍数をこれ以下に小さく選ぶ

と、電圧制御発振器の周波数範囲が高く、広くなるので低雑音の電圧制御発振器としての生産上の難易度が增大するので通倍数は3とする。

また、可変設定周波數位相同期ループを880 MHz から1066 MHz の間で選ぶことにより、比帯域を17 % 程度とし、800 MHz の基準信号と混合減算して得た80~266 MHz で、分周・比較するという構成として、フーズ・ロック・ループ(PLL)-IC の動作周波数の範囲において500 チャンネル以上をカバーするための最も小さな分周数の範囲240~798とすることができ、低位相雑音でまた異なる周波数の位相同期ループの加算等がないために、スプリアス特性の確保が容易な周波数シンセサイザの実現が可能となる。

実 施 例

以下、図面を参照しながら本発明の第1の実施例について説明する。第1図は、本発明の第1の実施例におけるマイクロ波帯周波数シンセサイザの回路系統である。

第1図に示すように、基準水晶発振位相同期ループ1を基準として、可変周波數位相同期ループ2および、位相同期ループ3を設け、その信号を混合器4で混合加算し、通倍器5によって3通倍を行なってマイクロ波信号を得るように構成されている。

以上のような構成において、以下にその動作を説明する。

まずマイクロ波帯で1 MHz ステップで、500 MHz の周波数範囲をカバーするため、3通倍器5を用いた場合比較周波数は1 MHz の3分の1で333.3 KHz となり、位相同期ループの自然周波数 ω_n は通常比較周波数の10分の1程度以下なので最低必要な20 KHz 程度の自然周波数は確保できる。また周波数可変設定位相同期ループ2の中に、第3図(a)に示すように166.6 MHz (= 500/3) の周波数をカバーする低雑音電圧制御発振器6が必要となる。電圧制御発振器6の比帯域は20 % 以下でないで低位相雑音化は困難なので、周波数カバー範囲を $\Delta f = 166.7$ MHz、中

心周波数を f_0 (MHz) とすると、 $\Delta f/f_0 < 0.2$ から $f_0 \geq 833.3$ MHz となり、周波数カバー範囲の下限 f_{\min} は、 $f_{\min} = f_0 - \frac{1}{2} \Delta f$ より、 $f_{\min} \geq 750$ MHz となる。

低位相雑音のシンセサイザを構成するには、①電圧制御発振器6の比帯域をできるだけ小さく、 f_0 を高くする。②電圧制御発振器の周波数と基準発振位相同期ループの信号とを混合減算して、周波数を低くして可変分周器8の分周数を小さくすることが必要である。

そこで、基準発振位相同期ループ1からは、100 MHz の8倍の800 MHz を基準として、電圧制御発振器6との混合減算周波数を80~266 MHz とする。可変分周器8に16/17分周タイプのデュアルモジュラス分周器を使用する場合、PLL(フーズ・ロック・ループ)-IC 9の入力周波数は、最高で $266/16 = 16.6$ MHz となり、入力周波数の上限からしても、分周比を小さくすることからしても16/17分周タイプが最適となる。デュアルモジュラス分周器の動作上(A

カウンタ) < (Nカウンタ) では使用できないので、連続して分周数に変化できるのは $15 \times 16 = 240$ 以上の分周数ということになる。比較周波数はステップ 1 MHz の通信数 (=3) 分の 1 で、かつ基準発振周波数 10 MHz を固定分周器 10 で 30 分周した 333.3 KHz (=1 MHz/3) なので $1/3 \times 240 = 80$ MHz 以上となる。

一方、可変分周器 8 の分周数 800、すなわち電圧制御発振器 6 の周波数で $800 + 1/3 \times 800 = 1066.6$ MHz の場合は、基準周波数 800 MHz の 4 倍と、電圧制御発振器 6 の発振周波数の 2 倍とで、電圧制御発振器 6 の周波数と同じ周波数が以下に示すようにスプリアスとして発生する。

$$800 \times 4 - (800 + 1/3 \times 800) \times 2 = 800 + 1/3 \times 800$$

可変分周器 8 の分周数 799 では、 $2/3$ MHz 上に発生し、この分周数 800、799 は避けるべきである。

したがって、可変分周器 8 の分周数としては 240 から 798 までの 558 の範囲、電圧制御発振器 6 の周波数としては、

$$800 + 1/3 \times 240 = 880 \text{ MHz}$$

$$800 + 1/3 \times 798 = 1066 \text{ MHz}$$

の範囲の中で、必要とされるチャンネル数、例えば 500 チャンネルを設定すれば良い。

また、第 3 図(a)で比較周波数の漏洩が大きい場合、周波数可変設定位相同期ループ 2 を第 3 図(b)のように、電圧制御発振器 6 の周波数を基準の 800 MHz と混合減算して得た比較周波数を固定分周器 20 で固定分周し、それを比較周波数として、混合器 22 による電圧制御発振器 21 と基準信号との混合減算周波数を固定分周器 23 で分周した信号と、PLL (フーズ・ロック・ループ) IC 24 で位相同期比較する構成として、PLL (フーズ・ロック・ループ) IC 24 での位相同期ループを比較周波数が高く、自然周波数 ω_n が高く選べる比較周波数の漏洩の小さい位相同期ループとすることが必要である。

以上の説明から明らかなように本実施例によれば、基準水晶発振位相同期ループ 1 からの出力として 800 MHz を設け、電圧制御発振器 6 の周波

数を 880 MHz から 1066 MHz までの間に選び、固定周波数の位相同期ループ 3 と混合器 4 で混合加算し、さらに通倍器 5 で 3 通倍するという構成を採用することにより、可変分周器 8 の分周数が小さく、1 MHz ステップで 500 チャンネルをカバーする低位相雑音で、しかも異なる周波数の位相同期ループの加算等が無くスプリアス特性の確保が容易なマイクロ波帯周波数シンセサイザを得ることができる。

次に本発明の第 2 の実施例について説明する。第 2 図は、本発明の第 2 の実施例におけるマイクロ波帯周波数シンセサイザの回路系統図である。第 1 の実施例と動作上はほぼ同じであり、構成として、可変周波數位相同期ループの 2 の後に通倍器 5 a によって 3 通倍し、その後に固定の周波数の位相同期ループ 3 を混合器 4 a で混合加算している点異なる。

なお、上記構成では、位相同期ループ 3 を周波数固定としているが、位相同期ループ 3 を 2~10 チャンネル程度の周波数可変の発振器とし、可変

位相同期ループ 2 の単位ステップ周波数幅を、位相同期ループ 3 の周波数可変の全設定幅の分だけ大きくして、可変位相同期ループの低位相雑音化、リファレンス周波数の漏洩の減少に有利として、位相同期ループ 2 と位相同期ループ 3 のループ内の各々の可変分周器の分周数を制御することにより、周波数設定を行なう形としても良い。

発明の効果

以上のように本発明は、一方を 880 MHz から 1066 MHz までの間の可変設定周波數位相同期ループとする 2 つの位相同期ループの出力から、混合加算および 3 通倍を行なうことにより、簡単な構成で多チャンネル、低位相雑音のマイクロ波帯周波数シンセサイザを得ることができ、その効果は大きい。

4. 図面の簡単な説明

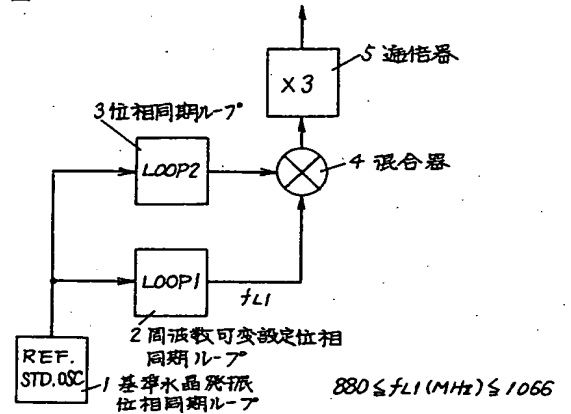
第 1 図は本発明の第 1 の実施例におけるマイクロ波帯周波数シンセサイザの回路系統図、第 2 図は本発明の第 2 の実施例におけるマイクロ波帯周波数シンセサイザの回路系統図、第 3 図(a)および

(b)は本発明の第1の実施例および第2の実施例における可変周波數位相同期ループの回路系統図、第4図は従来のマイクロ波帯周波数シンセサイザの回路系統図である。

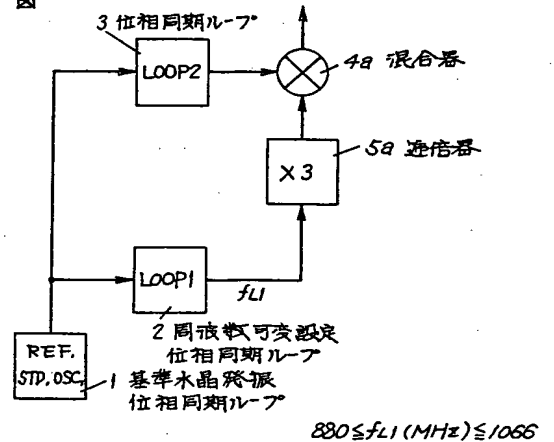
2…周波数可変設定位相同期ループ、3…位相同期ループ、4、4a、7…混合器、5、5a…逓倍器、6…電圧制御発振器、8…可変分周器。

代理人の氏名 弁理士 中 尾 敏 男 ほかに1名

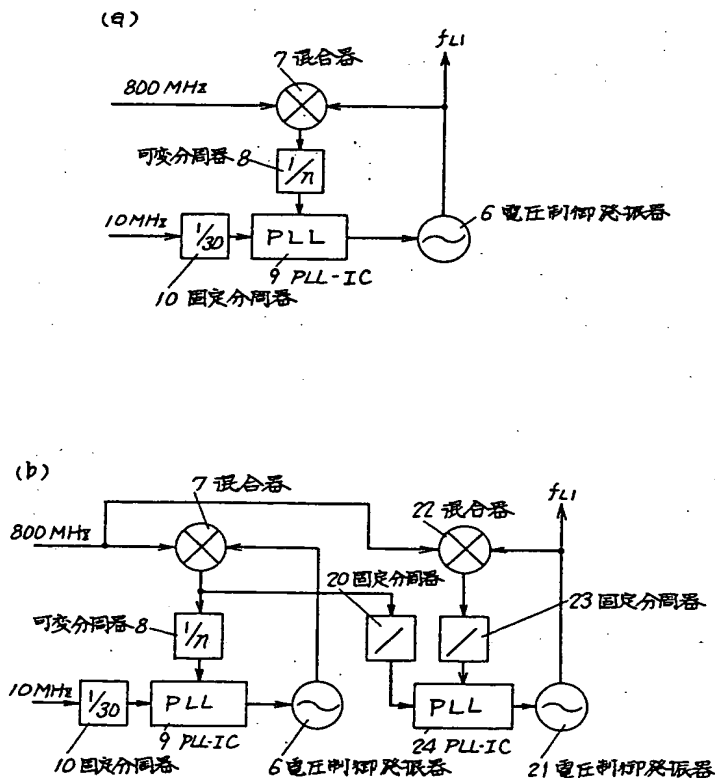
第 1 図



第 2 図



第 3 図



第 4 図

